

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

60

PACKAGE OF INTEGRATED CIRCUIT

Patent Number: JP59227143
Publication date: 1984-12-20
Inventor(s): NISHIKAWA SEIICHI
Applicant(s): DAINIPPON INSATSU KK
Requested Patent: JP59227143
Application Number: JP19830101317 19830607
Priority Number(s):
IPC Classification: H01L23/12 ; H01L23/28 ; H01L23/48
EC Classification:
Equivalents:

Abstract

PURPOSE: To contrive improvement of the mounting density by arranging the lead part of the lead frame on either of the top surface or the bottom surface of the resin sealed body.
CONSTITUTION: The leads 2b are arranged so as to surround a chip bonding part 2a located in the center of the lead frame and one of the leads is formed to be connected to said bonding part 2a. In the center of each lead 2b, a terminal 2c projects vertically to the plane of the frame. After resin sealing 3, the terminal is exposed out of the resin surface and cut by the line CL thereby completing the operation. The exposed part of the lead is subjected to Au gilding or two-layer gilding of Ni and Au and the lead frame and the IC chip are connected by wire interconnection or gang interconnection. This constitution offers the IC suitable for incorporation of IC card especially. By using the projecting shape of the lead 2b, reinforcement of prevention of detachment and the device having high mounting density can be obtained.

Data supplied from the esp@cenet database - 12

① 日本国特許庁 (JP)

② 特許庁公開

③ 公開特許公報 (A)

昭59-227143

④ In: Cl.
H 01 L 23/12
23/28
23/48

識別記号

厅内整理番号
7357-5F
7738-5F
7357-5F

⑤ 公開 昭和59年(1984)12月20日

発明の数 1
審査請求 未請求

(全 6 頁)

⑥ 集積回路パッケージ

⑦ 特願 昭58-101317
⑧ 出願 昭58(1983)6月7日
⑨ 発明者 西川誠一

小金井市貫井北町2-15-12

⑩ 出願人 大日本印刷株式会社
東京都新宿区市谷加賀町1丁目
12番地

⑪ 代理人 弁理士 猪股清 外3名

明細書の内容(内容に変更なし)
第 一 頁

1. 発明の名称 集積回路パッケージ

2. 特許請求の範囲

1. リードフレームのリード部にICチップが接続された上で樹脂モールドが施され、次いで前記リードフレームの不要部分が切断されることにより構成される集積回路において、前記リードフレームのリード部を樹脂モールドの表面に露出させたことを特徴とする集積回路。
2. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分は金メッキ層で被覆してなる集積回路。
3. 特許請求の範囲第1項記載の集積回路において、前記リード露出部分はニッケルメッキ層および金メッキ層の2層メッキ層で被覆してなる集積回路。
4. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとは

リヤディングデイングにより接続されてなる集積回路。

5. 特許請求の範囲第1項記載の集積回路において、前記リードフレームと前記ICチップとはサイシダインディングにより接続されてなる集積回路。

3. 発明の詳細な説明

本発明は集積回路パッケージに関する。

近年電子回路の代名詞的呼称となつた集積回路は、半導体素子等により構成されたICチップ、このICチップの端子を外部に接続するため及び集積回路を実質的に支持するためのリード、ならびにICチップの封止およびICチップとリードとの接続部分の封止、さらに集積回路全体のハウジングとしてのパッケージからなつてゐる。

このパッケージには樹脂タイプのものとセラミックタイプのものがあり、まず樹脂タイプのものは第1回または第2回に示すような構造となつてゐる。第1回(a),(b)のものはデュアルライン

パッケージ (DIP) と呼ばれ、ICチップをリードフレーム 2 上に設置して ICチップの端子とリードフレーム 2 のリードとをワイヤーバンディングした上で ICチップ 1 および ICチップ 1 とリードとの接続部分を樹脂モールド 3 により封止してなる。また第 2 図のものはフラットパッケージと呼ばれ、リードフレーム 2 のリードが平面内に引き出されている。

一方セラミックタイプのものは第 3 図(a), (b)に示すように、ICチップ 1 をセラミック基板 4 上に設置して ICチップ 1 の端子をセラミック基板 4 の周縁に設けたメタライズ基板 5 にワイヤーバンディングし基板 6 を被せてなるものである。

これら樹脂タイプおよびセラミックタイプの集積回路はそれぞれ一長一短があるが、コスト的に見た場合には樹脂タイプのものが適かに利用しやすい。

しかしながら、樹脂タイプのものはリードが集積回路の側方にに出るため、いくつかの集積回路を所定面積域内に並置しようとする場合に実装密度

が上げられないという欠点がある。

本発明は上述の点を考慮してなされたもので、リードを頂面、底面の少くとも一方に露出してなる樹脂モールド樹脂基板用パッケージを提供することものである。

以下第 4 図乃至第 11 図を参照して本発明を実施例につき説明する。

第 4 図は本発明の実施例 1 に用いるリードフレームの一例を平面形状で示したものであり、中央部に ICチップ 1 を設置するための ICチップマウント部 2a が設けられ、このマウント部 2a を取囲んでリード 2b が 8 本設けられている。リード 2b の 1 つはマウント部 2a に近寄されている。そして、各リード 2b の中央部には端子 2c が設けられている。この端子 2c はリードフレーム 2 の平面に対し樹脂面方向に突出していて、板状樹脂モールド 3 が施された状態で樹脂表面から突出するようになっている。

そして切断面 C-C で切断されることにより 1 つの集積回路が出来上がる。

第 5 図(a), (b)は本発明に係る集積回路パッケージの外観形状を示したもので、同図(a)はリード 2b の樹脂モールド側方への突出部分を切断したもの、同図(b)は適当の長さだけリード 2b を残したものを見している。これらは何れも外露回路等との接続を主として端子 2c により行うからリード 2b の長さはせいぜい集積回路を固定するために必要な程度でよく、また固定を緩和等の他の手段によつて行うことにより集積回路の実装密度を向上し得る。なお、リード 2b を集積回路の固定に利用すれば耐震防歎効果が得られる。

第 6 図(a), (b), (c)は第 4 図のリードフレームを用いて構成した本発明に係る集積回路の側面形状を示したもので、同図(a)は端子 2c が樹脂モールド 3 の樹脂表面から突出した例、同図(b)は端子 2c が樹脂表面と同一面をなす場合、同図(c)は端子 2c が樹脂表面より埋んでいる場合をそれぞれ示している。各場合とも端子 2c の表面には金メッキ等を施しておくことが好ましい。

これら各場合とも ICチップ 1 はリードフレー

ム 2 に対し端子 2c と反対側に設けてある。これは、ICチップ 1 を端子 2c と同一側に設けた場合、端子 2c の突出寸法を ICチップ 1 の高さよりも大としなければならず、それにはリードフレーム 2 の基厚をかなり大にする等の対策が必要なためである。したがつてマウント部 2a をリード 2b より一段下げる等の ICチップ 1 の直配がより低くなる手段を講じるか、あるいは端子 2c をリードフレーム 2 とは別個に製作しリードフレーム 2 上に付着させる方法を採るかすれば、ICチップ 1 と端子 2c とをリードフレーム 2 の同一側に配しても差支えない。

第 7 図(a), (b)はリードフレーム 2 を折曲げ成形することにより端子 2c を形成した場合の集積回路の側面形状を示したもので、同図(a)が端子 2c の突出したものの、同図(b)が端子 2c が突出しないものを示している。

第 8 図(a), (b)は上述のワイヤーバンディングと異なり、バンディングにより ICチップ 1 とリード 2b とを接続してなる集積回路の例を示

してなり、すなはちの場合には電子子 2 が断面モールド 3 の断面形状から突出した際、周囲 4 の端子に同一形をなす所である。表示しないが第 6 図(b)の例のように端子 2 が断面形状より嵌んだものも勿論可能である。

第 9 図(a), (b)はギャンタメンディングによる第 7 図(a), (b)に相当する構造の断面形状を示したものであり、IC チップ 1 が裏面リード 2 と接続される外に第 7 図と同様である。

第 10 図(a), (b)は第 9 図(a), (b)の無根回路の平面形状を示したもので、リード 2 との IC チップ 1 対りの距離は IC チップ 1 の端子に位置合わせできるように両端同士が最近し且つ尖っており、IC チップ 1 の端子に直接接続される。そしてリード 2 とのパッケージから突出した部分は近く成形されている。

第 11 図(a), (b)は上述の無根回路を IC カード 1 なむかプラスチックカードに無根回路を組込んだもので、例えば銀行の自動貯金機等において使用されるものに組込んだ例を示している。上述の無

根回路 10 はプラスチックカード 1 の裏面に接続部と同様に示すように記され、そして組込み部を前面で示しながら底面 11 である。無根回路 10 は接着剤によりカード 1 の一方のオーバーレイ 5 に固定される。カード 1 に一方のセンター・アレイ 4 が貼り合わせた上の又は一枚のセンター・アレイ 4 と一対のオーバーレイ 5, 5 が貼り合わせてなり、センター・アレイ 4 とオーバーレイ 5 との間に印刷が施されている。カード 1 の全厚みは 0.6 ~ 0.8 mm であり、無根回路 10 はそれよりも薄く製作できることから、カード 1 の面と無根回路 10 の面を同一面とするこことは容易である。

このカード 1 は所定のカード処理機に投入されると端子 2 を介してカード処理機と無根回路との間での信号授受が行われ、カード処理される。

本発明は上述のように、無根回路の接続部には子を有するようにしたため、特に IC カード組込みに適した無根回路が得られる。そして、この IC カードの組込み時にはリード 2 とが無根回路側から突出したもの用いれば剥落防止のため

の補強が行われる。またカード以外に適用しても無根回路の実装密度を向上することができる。

4. 図面の簡単な説明

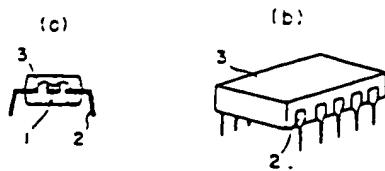
第 1 図(a), (b)および第 2 図は従来の断路タイプ無根回路の構造説明図、第 3 図(a), (b)は同じくセラミックタイプ無根回路の構造説明図、第 4 図は本発明に係る無根回路製作に用いるエフテンダで端子を設けたリードフレームの一例を示す平面図、第 5 図(a), (b)は本発明に係る無根回路の外観形状を示す図、第 6 図(a), (b), (c)は第 4 図のリードフレームを用いて構成した無根回路の断面構造を示す図、第 7 図(a), (b)は折曲げにより端子を形成したリードフレームによる無根回路の断面構造を示す図、第 8 図(a), (b)および第 9 図(a), (b)はギャンタメンディングによる無根回路の断面構造を示す図、第 10 図(a), (b)はギャンタメンディングによる無根回路の平面構造を示す図、第 11 図(a), (b)は本発明に係る無根回路を IC カードに適用した場合の説明図である。

1 … IC チップ、2 … リードフレーム、2a … IC チップマウント部、2b … リード、2c … 端子、
3 … 断面モールド、4 … セラミック基板、5 … メタライズ電極、6 … 帽、10 … 無根回路、20 … カード。

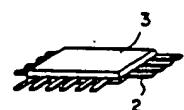
出願人代理人 鹿 記 情

五層の半導体電極に変更なし

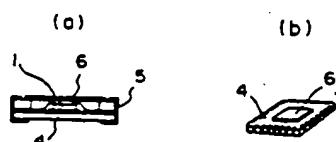
第一図



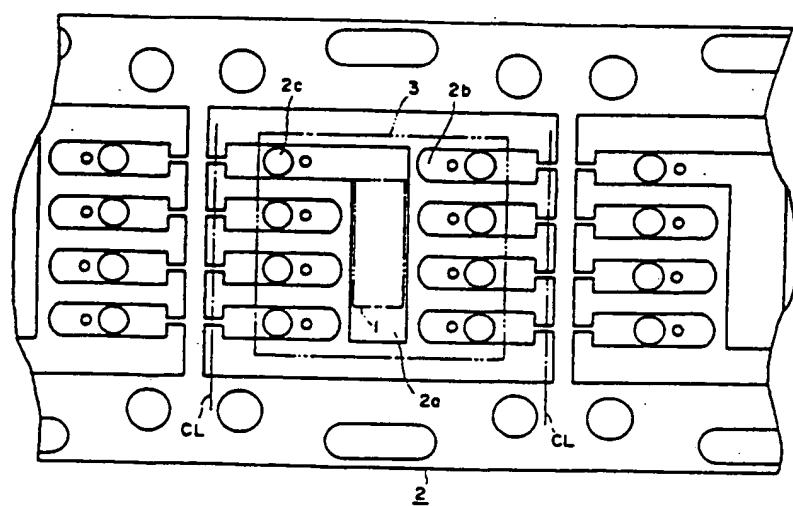
第二図



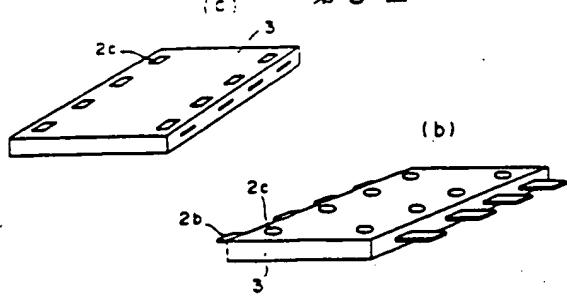
第三図



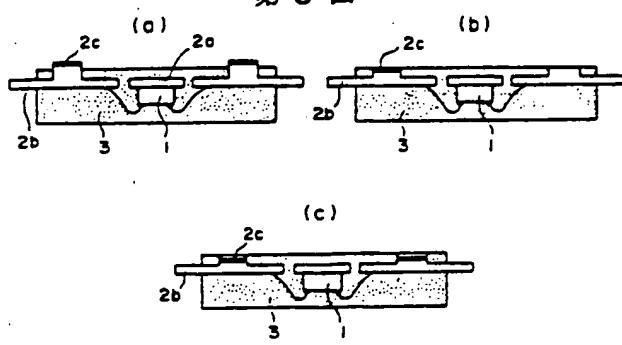
第四図



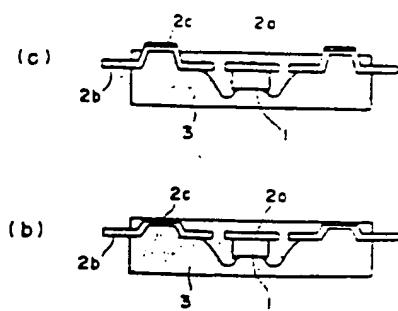
第5図



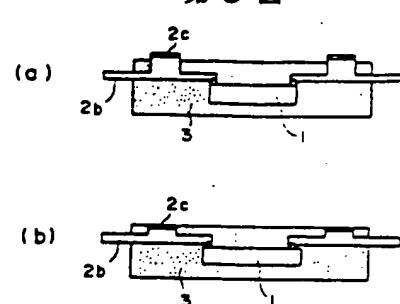
第6図



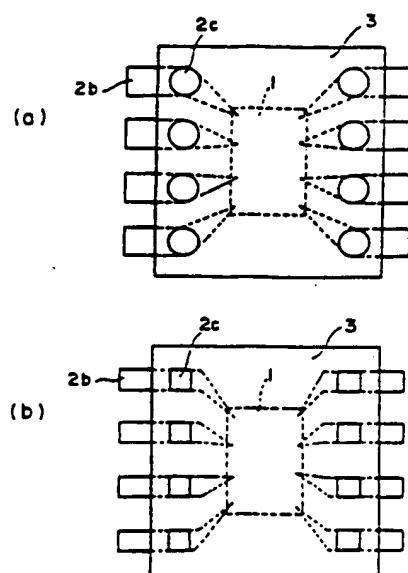
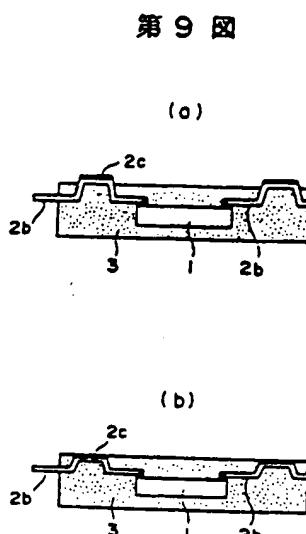
第7図



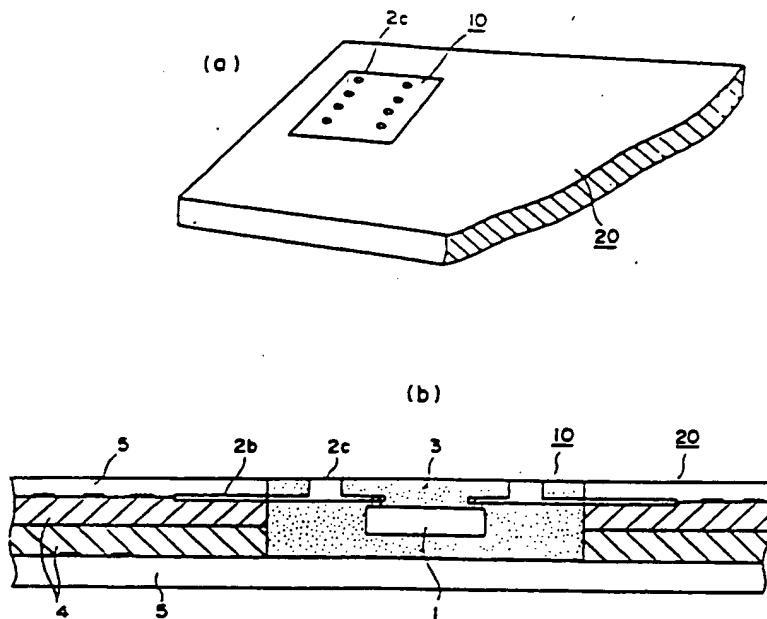
第8図



第10図



第11図



手続補正書

昭和55年7月7日

特許庁長官

著者和実取

1. 事件の表示

昭和55年特許第101337号

2. 発明の名称

無線回路パッケージ

3. 補正をする者

事件との関係 特許出願人

(288)大日本印刷株式会社

4. 代理人 (登記番号 100)
東京都千代田区丸の内三丁目2番3号
(電話東京(231)2321大代表)

4330 井上士郎 氏

5. 補正命令の日付

昭和 月 日

(発送日 昭和 月 日)

6. 補正により

7. 補正の対象

同様客観的記述

8. 補正の内容

同様客観的記述の修正(内容に変更なし)